

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06152358 A**(43) Date of publication of application: **31.05.94**

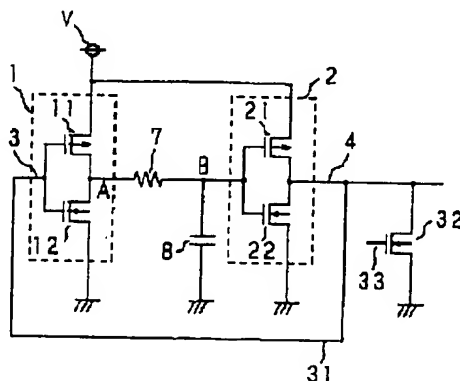
(51) Int. Cl.

H03K 17/22**H01L 23/62****H03K 19/003**(21) Application number: **04294849**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(22) Date of filing: **04.11.92**(72) Inventor: **HIRATE KOJI
UTA NOBUYA****(54) SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE****(57) Abstract:**

PURPOSE: To previously evade malfunction to be generated due to the sudden change of power supply voltage and destruction to be generated by latch-up operation.

CONSTITUTION: The output terminal of the 1st inverter 1 and the input terminal of the 2nd inverter 2 are mutually connected through an integration delay circuit constituted of a resistor 7 and a capacitor 8 intentionally added so as to obtain a largest delay value and the output terminal of the inverter 2 is connected to the input terminal of the inverter 1 through a power supply voltage variation detecting output line 31, so that an initial value stored when a potential difference between a positive power supply voltage VCC and ground voltage VSS is suddenly changed is inverted and the sudden change of the potential difference is outputted as a logical signal.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-152358

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl.⁵

H 0 3 K 17/22

H 0 1 L 23/62

H 0 3 K 19/003

識別記号

庁内整理番号
C 9184-5 J

B 8941-5 J

F I

技術表示箇所

H 0 1 L 23/ 56

A

審査請求 未請求 請求項の数3(全 14 頁)

(21)出願番号

特願平4-294849

(22)出願日

平成4年(1992)11月4日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 平手 浩司

兵庫県伊丹市中央3丁目1番17号 三菱電機
セミコンダクタソフトウェア株式会社内

(72)発明者 宇多 暢也

兵庫県伊丹市中央3丁目1番17号 三菱電機
セミコンダクタソフトウェア株式会社内

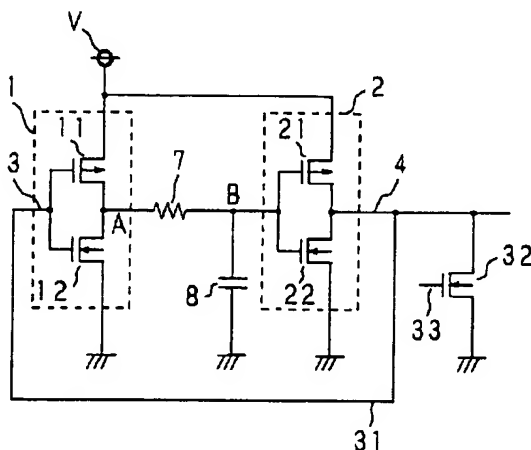
(74)代理人 弁理士 高田 守

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 電源電圧の急瞬な変動によって起こる誤動作、ラッチアップによる破壊を未然に回避する。

【構成】 1段目のインバータ1の出力端と2段目のインバータ2の入力端とを、本発明の回路を使用して電源電圧の変動を検出させようとしている回路中で、最も大きい遅延値になるよう意図的に付加した抵抗7と容量8で構成される積分遅延回路を介して接続し、インバータ2の出力端は電源電圧変動検出力線31にてインバータ1の入力端子に接続し、正電源電圧Vccと接地電圧Vssとの電位差が急瞬に変化したとき記憶している初期値が反転し、電位差の急瞬な変動を論理信号化して出力する。



1...1段目のインバータ

2...2段目のインバータ

3...入力線

4...出力線

7...抵抗

8...容量

31...電源電圧変動検出力線

1

【特許請求の範囲】

【請求項1】 一端が正電源電圧に、また他端が所定低電位に接続された第1、第2の入力反転回路における、前記第1の入力反転回路の出力端と第2の入力反転回路の入力端とをその間に積分遅延回路を介して接続し、前記第2の入力反転回路の出力端は第1の入力反転回路の入力端に接続し、前記正電源電圧と所定低電位との電位差が急瞬に増加したとき、記憶している初期値が反転し、正電源電圧と所定低電位との電位差の急瞬な増加を論理信号として出力するようにしたことを特徴とする半導体集積回路装置。

【請求項2】 一端が正電源電圧に、また他端が所定低電位に接続された第1、第2の入力反転回路における、前記第1の入力反転回路の出力端と第2の入力反転回路の入力端を接続し、前記第2の入力反転回路の出力端は第1の入力反転回路の入力端と接続し、第2の入力反転回路の正電圧入力を積分遅延回路を介して正電源源へ接続し、正電源電圧の電圧が急瞬に降下したとき、記憶している初期値が反転し、正電源電圧の急瞬な降下を論理信号として出力するようにしたことを特徴とする半導体集積回路装置。

【請求項3】 一端が正電源電圧に、また他端が所定低電位に接続された第1、第2の入力反転回路における、前記第1の入力反転回路の出力端と第2の入力反転回路の入力端とを接続し、前記第2の入力反転回路の出力端は第1の入力反転回路の入力端と接続し、第2の入力反転回路の入力端を積分遅延回路を介して所定低電位へ接続し、前記低電位の電圧が急瞬に上昇したとき、記憶している初期値が反転し、前記低電位の急瞬な上昇を論理信号として出力するようにしたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、正電源電圧と接地電位との電位差が急瞬に増加することに起因する暴走、誤動作、ラッチアップ等を防止する電源電圧変動検出機能を備えた半導体集積回路装置に関する。

【0002】

【従来の技術】 図1は従来におけるCMOS回路構成の半導体集積回路装置を示す回路図、図2は同じくその動作説明図であり、図中1は1段目のインバータ、2は同じく2段目のインバータを示している。インバータ1はpチャネルMOSトランジスタ11とnチャネルMOSトランジスタ12のドレイン同士を、またインバータ2はpチャネルMOSトランジスタ21とnチャネルMOSトランジスタ22とのドレイン同士を夫々接続すると共に、pチャネルMOS *

$$V_{out} = (V_{dd} \times R_{n12}) / (R_{p11} + R_{n12}) \quad \dots(4)$$

但し、 R_{n12} : nチャネルMOSトランジスタ12のオン抵抗

R_{p11} : pチャネルMOSトランジスタ11のオン抵抗

2

*トランジスタ11, 21のソースは正電源源Vに、またnチャネルMOSトランジスタ12, 22のソースは接地電位に夫々接続してある。

【0003】 1段目のインバータ1を構成するpチャネルMOSトランジスタ11、nチャネルMOSトランジスタ12の各ゲートは夫々入力線3に、また2段目のインバータ2を構成するpチャネルMOSトランジスタ21、nチャネルMOSトランジスタ22の各ゲートは、1段目のインバータ1の出力端である前記pチャネルMOSトランジスタ11とnチャネルMOSトランジスタ12の接続点に接続され、更に2段目のインバータ2の出力端であるpチャネルMOSトランジスタ21とnチャネルMOSトランジスタ22との接続点は夫々出力線4に接続されている。5は寄生抵抗、6は寄生容量である。

【0004】 このような半導体集積回路装置にあっては入力線3に、例えば論理信号である「0」レベルの信号を入力すると、1段目、2段目のインバータ1、2の作用で出力線4から出力される信号も同じ「0」レベルになる。しかしこのような動作は電源電位、接地電位が安定していることが前提であり、電源電位と接地電位との電位差が所定の範囲を越えて変動すると誤動作、暴走、或いはラッチアップを招くこととなる。例えば正電源源Vの電圧を図2に示す V_{cc} から V_{dd} に上昇させると、寄生抵抗5と寄生容量6で寄生的に構成される積分遅延回路により2段目のインバータ2の入力端近傍のT点の電位は一点鎖線で示す如くに変化し、この結果pチャネルMOSトランジスタ21の入力電圧 V_{in} が正電源源Vの電圧 V_{dd} よりも低くなり、下記(1)式で示す如き状態が発生する。

$$V_{dd} > V_{in} \quad \dots(1)$$

但し、 V_{dd} : 正電源源Vの電圧

V_{in} : pチャネルMOSトランジスタ21のソース電圧

【0005】 この時、正電源源Vが図2に示す如く V_{cc} から V_{dd} に急瞬にの立上があると、この立上りの期間に過渡的に(2)、(3)式で示す如き条件が成立することがある。

$$|V_{dd} - V_{in}| > |V_{thp21}| \quad \dots(2)$$

$$|V_{in} - V_{ss}| > |V_{thn22}| \quad \dots(3)$$

但し、 V_{thp21} : pチャネルMOSトランジスタ21の閾値

V_{thn22} : nチャネルMOSトランジスタ22の閾値

V_{ss} : 接地電位の電圧

【0006】 このためpチャネルMOSトランジスタ21とnチャネルMOSトランジスタ22が同時にオン状態となり、出力線4に図2に示す時間 t_4 の前後の期間で(4)式で示す如き分圧値の出力電圧 V_{out} が発生する。

【0007】 図2は横軸に時間(S)を、また縦軸に電圧(V)をとって示してあり、図中Jは2段目のインバータ2の入力端の電圧である。このため出力線4に接続

されている論理回路が、例えばその閾値が(4)式で示す出力電圧 V_{out} の値より低く、しかも時間 t_4 から t_5 に至る期間に V_{out} の電圧を入力電圧として処理する回路である場合には入力電圧が本来の入力電圧よりも高いために結果的に誤動作を起こすことになる。しかも実際の半導体集積回路装置には上記のような回路構成が多数散在している上、寄生的に構成される積分遅延回路の遅延値も多様であるため誤動作を起こした部位の特定は困難である。

【0008】また、電源電位の急瞬な変動によってラッチアップが発生したような場合には、電流源を人為的に遮断するか、電源装置の過電流保護回路によって遮断せざるを得なかった。この対策として、従来においては半導体集積回路装置における電源電位の監視手段としてリセットIC等正電源電圧を検出する素子、或いはリセットICと同等機能の回路を集積回路装置と同じ配線基板上に付加する手段を採っている。

【0009】

【発明が解決しようとする課題】ところでこのような従来の半導体集積回路装置において、その電源電位の監視に用いているリセットIC等の電圧検出素子、又は同様の回路ではリセットICに輸入される電圧値を検出するため、電源電圧が半導体回路装置の動作し得る電圧範囲内で緩やかに変動し、半導体集積回路装置が十分に動作し得る電圧であっても半導体集積回路装置の初期化が行なわれてしまうという問題があった。

【0010】この発明の第1の目的は、正電源電圧と所定低電位との急瞬な変化を検出し、この検出信号を論理信号として外部へ出力して必要な措置をとることを可能とする。またこの発明の第2の目的は、電源電圧の急瞬な変動を検出して自身の初期化を行い、暴走、誤動作を未然に防ぐことを可能とする。更にこの発明の第3の目的は、正電源電圧と所定低電位との電位差の急瞬な変化を検出することで、例えば自動的に内部電源の配線を遮断し、ラッチアップによる回路の破壊を未然に防ぐことを可能とする。

【0011】

【課題を解決するための手段】第1の発明に係る半導体集積回路装置は、一端が正電源電圧に、また他端が所定低電位に接続された第1、第2の入力反転回路における、前記第1の入力反転回路の出力端と第2の入力反転回路の入力端とをその間に積分遅延回路を介して接続し、前記第2の入力反転回路の出力端は第1の入力反転回路の入力端に接続し、前記正電源電圧と所定低電位との電位差が急瞬に増加したとき、記憶している初期値が反転し、正電源電圧と所定低電位との電位差の急瞬な増加を論理信号として出力するようにしたことを特徴とする。

【0012】第2の発明に係る半導体集積回路装置は、一端が正電源電圧に、また他端が所定低電位に接続され

た第1、第2の入力反転回路における、前記第1の入力反転回路の出力端と第2の入力反転回路の入力端を接続し、前記第2の入力反転回路の出力端は第1の入力反転回路の入力端と接続し、第2の入力反転回路の正電圧入力を入力遅延回路を介して正電源電圧へ接続し、正電源電圧の電圧が急瞬に低下したとき、記憶している初期値が反転し、正電源電圧の急瞬な低下を論理信号として出力するようにしたことを特徴とする。

【0013】第3の発明に係る半導体集積回路装置は、一端が正電源電圧に、また他端が所定低電位に接続された第1、第2の入力反転回路における、前記第1の入力反転回路の出力端と第2の入力反転回路の入力端を接続し、前記第2の入力反転回路の出力端は第1の入力反転回路の入力端と接続し、第2の入力反転回路の入力端を積分遅延回路を介して所定低電位へ接続し、前記低電位の電圧が急瞬に上昇したとき、記憶している初期値が反転し、前記低電位の急瞬な上昇を論理信号として出力するようにしたことを特徴とする。

【0014】

【作用】第1の発明にあつては、第1の入力反転回路の出力端と第2の入力反転回路の入力端とをその間に積分遅延回路を介在させて接続し、第2の入力反転回路の出力端は第1の入力反転回路の入力端に接続することで正電源電圧と所定低電位との電位差が急瞬に増加したとき、記憶している初期値が反転することで正電源電圧と所定低電位との電位差が急瞬な増加を検出することが可能となる。

【0015】第2の発明にあつては正電源電圧の電圧が急瞬に低下したとき、記憶している初期値が反転することとしているから正電源電圧と所定低電位との電位差が急瞬に変化したことを検出し、その検出結果により初期化を行うことで誤動作、暴走等を未然に防止することが可能となる。

【0016】第3の発明にあつてはこれによって、所定低電位の電圧が急瞬に上昇したとき、記憶している初期値が反転し、所定低電位の急瞬な上昇を論理信号として出力し、この論理信号を用いて誤動作、暴走等に対する必要な措置を採ることが可能となる。

【0017】

【実施例】以下本発明をその実施例を示す図面に基づき具体的に説明する。

(実施例1) 図3は本発明に係る半導体集積回路装置を電源電圧変動検出回路として構成した場合の回路図であり、図中1は1段目のインバータ、2は2段目のインバータを示している。1段目のインバータ1はpチャネルMOSトランジスタ11、nチャネルMOSトランジスタ12のドレイン同士を接続し、また2段目のインバータ2は同じくpチャネルMOSトランジスタ21、nチャネルMOSトランジスタ22のドレイン同士を接続し、各pチャネルMOSトランジスタ11、21の各ソースを正電源電圧Vに、また

5

各nチャネルMOS トランジスタ12、22のソースを接地電位に夫々接続して構成されている。

【0018】1段目のインバータ1を構成するpチャネルMOS トランジスタ11のゲート、nチャネルMOS トランジスタ12のゲートは夫々入力線3に接続され、一方2段目のインバータ2におけるpチャネルMOS トランジスタ21、nチャネルMOS トランジスタ22の各ゲートは途中に寄生抵抗5、寄生容量6にて構成される積分遅延回路を介在させて1段目のインバータ1の出力端であるpチャネルMOS トランジスタ11とnチャネルMOS トランジスタ12との接続点に接続され、また2段目のインバータ2の出力端であるpチャネルMOS トランジスタ21とnチャネルMOS トランジスタ22との接続点は出力線4に接続され、そして出力線4と前記入力線3とは電源電圧変動検出力線31にて相互に接続されている。32は前記出力線4に設けたnチャネルMOS トランジスタである。nチャネルMOS トランジスタ32はそのゲートが初期化信号線33に、またドレインは出力線4及び電源電圧変動検出力*

$$V_{th1} < (V_{cc} \times R_{n22}) / (R_{p21} + R_{n22}) \quad \dots(6)$$

但し、 R_{n22} : nチャネルMOS トランジスタ22のオン抵抗

R_{p21} : pチャネルMOS トランジスタ21のオン抵抗

【0022】前記のように構成された電源電圧変動検出回路の動作を図4に示す動作説明図と共に説明する。図4(a)、図4(b)は夫々横軸に時間(S)を、また縦軸に電圧(V)をとって示してある。なお図4(b)は図3において1段目のインバータ1の出力端近傍点Aと2段目のインバータ2の入力端近傍点Bとの電位を対比して示してある。先ず電圧変動検出回路として機能し始める以前の初期状態では、初期化信号線33を「1」レベルにすることで出力線4を接地し、電源電圧変動検出力線31を「0」レベルにしておく。

【0023】初期化後に正電源電圧Vが急瞬な電圧の立上がりが発生したとすると、インバータ1の出力電圧は正電源電圧Vの電圧波形に追従するが、インバータ2の入力は、寄生抵抗5と寄生容量6とから構成される積分回路による遅延のため正電源電圧Vの立上がりの間、これよりも低い電圧で推移する。この時pチャネルMOS トランジスタ21のゲート入力電位 V_{in} が(1)式を満たし、pチャネルMOS トランジスタ21はオフ状態からオン状態に転じ、pチャネルMOS トランジスタ21とnチャネルMOS トランジスタ22が同時にオン状態となる期間 $t_1 \sim t_3$ が発生する。これによって(6)式で示される閾値を持つインバータ1は「1」レベルを入力されたことになり、図3におけるA点に「0」レベルを出力する。

【0024】いま正電源電圧Vが急瞬に V_{dd} に立上がった時、B点の電圧は過渡的に電圧 V_{dd} に向かう途中であるが、インバータ1の出力が「0」レベルに固定されると同時にインバータ2の入力レベルの過渡的な変化は図4(a)、図4(b)に示す如く t_2 で接地電位の電圧方向に転

6

*線31に夫々接続され、ソースは接地されている。

【0019】そして前記1段目のインバータ1の閾値 V_{th1} は、pチャネルMOS トランジスタ21とnチャネルMOS トランジスタ22が同時にオン状態になった場合に前記電源電圧変動検出力線31に現れる分圧値以下の値に定めてある。

$$V_{th1} < V_o \quad \dots(5)$$

【0020】つまり、正電源電圧Vが安定しているときの電圧を V_{cc} 、pチャネルMOS トランジスタ21のオン抵抗を R_{p21} 、nチャネルMOS トランジスタ22のオン抵抗を R_{n22} 、インバータ1の閾値を V_{th1} 、pチャネルMOS トランジスタ21とnチャネルMOS トランジスタ22が同時にオン状態となったときの電源電圧変動検出力線31の電位を V_o 。とすると、インバータ1が電位 V_o を「1」のレベルとして認識するための条件である(5)式を満たさせるためのインバータ1の閾値は、(4)式に基づき下記(6)式で与えられる。

【0021】

じる。その結果、インバータ2の入力電圧が「0」レベルに固定され、電源電圧変動検出力線31の電圧は初期状態である「0」レベルからインバータ2の入力電圧がpチャネルMOS トランジスタ21の閾値 V_{th1} に達した時間 t_1 で中間電位に上昇し始め、インバータ2の入力電圧が最も高くなった時点 t_2 でインバータ1の閾値 V_{th1} に達し、そしてインバータ2の入力電圧が自らの閾値 V_{th2} に達した時間 t_3 で「1」レベルに変化し、同時に固定されることとなる。

【0025】つまり正電源電圧 V_{cc} と接地電位との電位差が急瞬に増加したとき、記憶している初期値「0」レベルが「1」レベルに反転し、正電源電圧と接地電位との電位差の急瞬な増加を論理信号として出力させ得ることとなる。従って出力線4を、例えばリセット回路に接続しておくことにより、初期値が変化した際に論理合成等により当該半導体修正回路の初期化を行い、また電源配線切断回路に接続しておくことにより、電源配線を切り離すことが出来る。更に出力線4に外部リード端子を設けて、検出結果を他の必要な措置を採るための装置に適宜接続することも可能となる。

【0026】(実施例2)上記実施例1では、正電源電圧Vの急瞬な立上がりによって動作する電源電圧変動検出回路としたが、この実施例2では図5に示すように寄生容量5をインバータ2の入力端と正電源電圧Vの間に配置し、また出力線4及び電源電圧変動検出力線31にpチャネルMOS トランジスタ34のドレインを接続し、pチャネルMOS トランジスタ34のソースを正電源電圧 V_1 に接続してある。このような実施例2にあつては接地電位の急瞬な立下がりに対して有効となる。

【0027】このような電源電圧変動検出回路にあつては電源電圧変動検出回路として機能し始める前の初期状

態で、初期化信号線35を「0」レベルにしてpチャネルMOSトランジスタ34をオン状態とし、電源電圧変動検出出力線31を「1」レベルに設定しておく。またインバータ1の閾値 V_{th1} は、pチャネルMOSトランジスタ21とnチャネルMOSトランジスタ22とが同時にオン状態になった場合に電源電圧変動検出出力線31に現れる分圧値である V_0 以下に設定する。

$$V_{th1} > V_0 \quad \dots (7)$$

$$V_{th1} > (V_{cc} \times R_{n22}) / (R_{p21} + R_{n22}) \quad \dots (8)$$

【0030】他の構成は図3に示す実施例1のそれと実質的に同じであり、対応する部位には同じ番号を付してある。上記した如き初期化が行われた後に、接地電位に急瞬な電圧の立下がりが発生したとすると、インバータ1の出力電圧（C点の電圧）は接地電位の電圧波形に追従するが、インバータ2の入力電圧は寄生抵抗5と寄生容量6とから構成される積分遅延回路のため、接地電位の立下がりの間、これよりも高い電圧で推移し、この時、nチャネルMOSトランジスタ22のゲート入力電位が(9)、(10)式を満たす場合が生じる。

$$|V_{in} - V_{ss}| > V_{thn22} \quad \dots (9)$$

$$|V_{dd} - V_{in}| > V_{dd} - |V_{thp21}| \quad \dots (10)$$

【0031】このためnチャネルMOSトランジスタ22はオフ状態からオン状態に転じ、pチャネルMOSトランジスタ21とnチャネルMOSトランジスタ22が同時にオン状態となる期間が発生する。これによって(8)式で与えられる閾値を持つインバータ1は「1」レベルの電圧を入力されたことになり、出力端であるC点に「0」レベルを出力する。この時、インバータ2の入力端であるD点の電圧は過渡的にインバータ2への入力電圧である「1」レベルに向かう途中であるが、インバータ1の出力が「0」レベルに固定されると同時に、インバータ2の入力レベルの過渡的な変化は「0」レベル方向に転じる。その結果、インバータ2の入力レベルが「0」レベルに固定され、電源電圧検出出力線31の初期状態である「1」レベルは「0」レベルに変化すると同時に固定される。

【0032】この実施例2においても正電源電圧と接地電位との電位差が急瞬に増加したとき、記憶されている初期値「1」レベルが「0」レベルに反転し、正電源電圧と接地電位との電位差の急瞬な増加の変化を論理信号として出力することとなる。他の動作は実施例1のそれと実質的に同じであり、説明を省略する。

【0033】（実施例3）図6はこの発明の更に他の実施例を示す回路図、図7は動作状態を示す説明図である。この実施例3にあってはインバータ1の出力端とインバータ2の入力端とを接続し、またインバータ2の出力端とインバータ1の入力端とを電源電圧変動検出出力線31にて接続し、インバータ2を構成するpチャネルMOSトランジスタ21のソースを寄生抵抗5を介して正電源Vに接続すると共に、寄生容量6を介して接地電位に

*【0028】接地電位が安定しているときの電圧を V_{ss} として、インバータ1が電源電圧変動検出出力線31の電位 V_0 を「0」レベルとして認識するためには(7)式が満足されればよいが、このためのインバータ1の閾値は(4)式に基づき(8)式で示す如くに与えられる。

【0029】

10 接続する。電源電圧変動検出出力線31にはnチャネルMOSトランジスタ36のドレインを接続し、またソースは接地してある。なおゲートは初期化信号線37に接続されている。

【0034】そしてインバータ1の閾値は、pチャネルMOSトランジスタ21とnチャネルMOSトランジスタ22とが同時にオン状態になった場合に電源電圧変動検出出力線31に現れる分圧値である電位 V_0 以下の値に設定する。インバータ1が電源電圧変動検出出力線31の電位 V_0 を「1」レベルとして認識するのに必要な(5)式を満足させるためのインバータ1の閾値は実施例1と同じ(6)式で与えられる。

【0035】次にこの実施例3の動作を図7に示す動作説明図と共に説明する。電圧変動検出回路として機能する以前の初期状態では初期化信号線37を「1」レベルにすることでnチャネルMOSトランジスタ36をオン状態とし、電源電圧変動検出出力線31を「0」レベルにしておく。

【0036】初期化後に正電源源Vの電圧に V_{cc} から V_{dd} への急瞬な立下がりが発生したとすると、pチャネルMOSトランジスタ11のドレイン、即ちインバータ1の出力電圧とインバータ2の入力電圧（E点の電圧）は正電源源Vの電圧波形に追従する。一方pチャネルMOSトランジスタ21のソース電圧は寄生抵抗5と寄生容量6とからなる積分遅延回路により正電源源Vの電圧の立下がり過程（時間 t_1 の前後）でこれよりも高い電圧で推移し、この時pチャネルMOSトランジスタ21のゲート入力電位が、正電源源Vを基準として(2)式及び(3)式に示す条件を満たすと、pチャネルMOSトランジスタ21はオフ状態からオン状態に転じ、pチャネルMOSトランジスタ21とnチャネルMOSトランジスタ22とが同時にオン状態となる期間（ $t_1 \sim t_2$ ）が発生する。

【0037】これによって電源電圧変動検出出力線31は「1」レベルとなり、(6)式で与えられる閾値を持つインバータ1は「1」レベルを入力されたこととなって図7(b)において出力端であるE点に「0」レベルを出力する（時間 t_3 ）。この時F点の電圧は過渡的にインバータ2の入力電位である「1」レベルに向かう途中であるが、インバータ1の出力が「0」レベルに固定されると同時にインバータ2の入力電位は「0」レベルへ固定される。

【0038】その結果、電源電圧変動検出力線31の電圧は初期状態である「0」レベルからF点の電圧がpチャネルMOSトランジスタ21の閾値電圧 V_{th21} に達した時間 t_1 で中間電位に上昇し始め、F点の電圧がインバータ2の閾値 V_{th2} に達した時間 t_3 で「1」レベルに変化し、同時に固定される。つまり、正電源電圧が急瞬に降下したとき、記憶されている初期値が「0」レベルが「1」レベルに反転し、正電源電圧の急瞬な降下を論理信号として出力することとなる。他の動作は実施例1のそれと実質的に同じであり、説明を省略する。

【0039】(実施例4)図8は本発明の更に他の実施例を示す回路図、図9はこの実施例4の動作状態を示す説明図である。この実施例4にあつてはインバータ1の出力端とインバータ2の入力端、インバータ2の出力端とインバータ1の入力端を接続し、インバータ2のnチャネルMOSトランジスタ22のソースは寄生抵抗5を介して接地電位に接続すると共に、寄生容量5を介して正電圧源Vに接続してある。インバータ2の出力端に接続された出力線4にはpチャネルMOSトランジスタ38を介在させて正電圧源Vに接続してある。pチャネルMOSトランジスタ38はそのゲートを初期化信号線39に、またドレインを正電圧源Vに、更にソースを出力線4及び電源電圧変動検出力線31に接続してある。

【0040】そしてインバータ1の閾値 V_{th1} は、pチャネルMOSトランジスタ21とnチャネルMOSトランジスタ22が同時にオン状態になったときに電源電圧変動検出力線31に現れる分圧値以上の値に設定する。接地電位が安定しているときの電圧を V_{ss} 、pチャネルMOSトランジスタ21のオン抵抗を R_{p21} 、nチャネルMOSトランジスタ22のオン抵抗を R_{n22} 、インバータ1の入力閾値を V_{th1} 、pチャネルMOSトランジスタ21とnチャネルMOSトランジスタ22が同時にオン状態となったときの電源電圧変動検出力線31の電位をV。としたとき、インバータ1が電源電圧変動検出力線31の電位V。を「1」レベルとして認識するための前記(7)式を満たすのに必要なインバータ1の閾値は(8)式で与えられる。

【0041】次に実施例4の動作を説明する。電源電圧変動検出回路として機能し始める前の初期状態では初期化信号線39を「0」レベルにすることでpチャネルMOSトランジスタ35をオン状態とし、電源電圧変動検出力線31の電位を「1」レベルにしておく。

【0042】初期化後に接地電位が0から V_{ss} に急瞬に立上がりが発生したとすると、インバータ1の出力電圧とインバータ2の入力電圧(G点の電圧)は接地電位の電圧波形に追従する。一方nチャネルMOSトランジスタ22のソース電圧は、寄生抵抗5と寄生容量6とからなる積分遅延回路により接地電位の立上がりの間これより低い電圧で推移する。この時、nチャネルMOSトランジスタ22のゲート入力電位が接地電位を基準として(9)式及び(10)式を満たす場合が生じ、nチャネルMOSトランジ

スタ22はオフ状態からオン状態に転じ、pチャネルMOSトランジスタ21とnチャネルMOSトランジスタ22が同時にオン状態となる期間($t_1 \sim t_3$)が発生する。

【0043】これによって電源電圧変動検出力線31は「1」レベルとなり、(8)式で与えられる閾値 V_{th1} を持つインバータ1は「0」レベルを入力されたこととなり、図8においてG点に「1」レベルを出力する。インバータ1の出力が「1」レベルに固定されると同時に、インバータ2の入力電位レベルの過渡的な変化は「1」レベル方向へ転じ、インバータ2の入力電位レベルは「1」レベルに固定されることとなり、電源電圧変動検出力線31の初期状態である「1」レベルからH点の電位がnチャネルMOSトランジスタの閾値 V_{th22} に達する時間 t_1 で中間電位に下がり始め、インバータ1の入力閾値 V_{th1} に達した時間 t_2 より更に降下し、 V_{th2} に達した時間 t_3 で「0」レベルに変化し、同時に固定される。他の動作は実施例1と実質的に同じであり、説明を省略する。

【0044】このような電源電圧変動検出回路に用いて電源電圧変動による回路の暴走を防ぐ場合、寄生抵抗と寄生容量とにより構成される積分遅延回路の遅延値を、当該半導体集積回路内で論理回路間のアナログ遅延値の最も大きな値とすることで、電源電圧変動による暴走が発生するに先立ってこれを検出し、回路の初期化を行うことが可能となる。

【0045】またこのような電源電圧変動検出回路に用いて電源電圧変動によるラッチアップのため回路が破壊されるのを防ぐ場合、寄生抵抗と寄生容量とにより構成される積分遅延回路の遅延値を、当該半導体集積回路内で論理回路間のアナログ遅延値の最も大きな値とすることで、電源電圧変動による回路のラッチアップによる破壊が発生するに先立ってこれを検出し、回路内部の電源配線を遮断することが可能となる。更にこのような電源電圧変動検出回路を用いることで、電源電圧の急瞬な変動を回路外部へ論理信号として出力させ、この論理信号を利用して必要な措置を取らせることも可能である。

【0046】このような電源電圧変動検出回路を複数を組み合わせて用いてもよい。また複数の電圧源を持つ回路の場合、正電圧源と負電圧源間に上述した如き電源電圧変動検出回路を組合せて装備することで複数の電源電圧の急瞬な変動も検出できることとなる。

【0047】

【発明の効果】以上説明したように、第1の発明に係る半導体集積回路装置にあっては電源電圧の急瞬な変動を迅速に検出することができ、電源電圧の変動による回路の暴走を未然に防止し得る。また第2の発明にあっては電源電圧の急瞬な変動を検出し、電源電圧の変動によるラッチアップから回路の破壊を未然に防止し得る。更に第3の発明にあっては電源電圧の急瞬な変動を検出し、回路の外部へ電源電圧の変動があったことを論理記号と

11

して外部回路へ出力させ、これを利用して必要な措置をとることが可能となる。

【図面の簡単な説明】

【図1】従来における半導体集積回路装置を示す回路図である。

【図2】従来における半導体集積回路装置の動作説明図である。

【図3】本発明に係る半導体集積回路装置を示す回路図である。

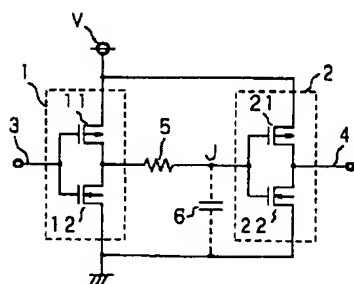
【図4】本発明に係る半導体集積回路装置の動作説明図である。

【図5】本発明の他の実施例を示す回路図である。

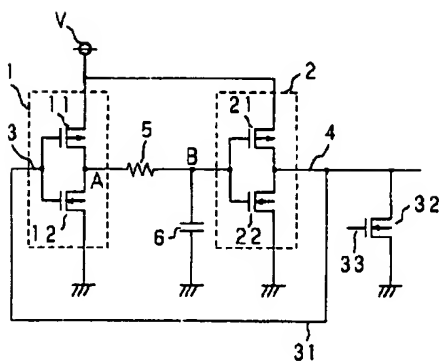
【図6】本発明の更に他の実施例を示す回路図である。

【図7】図6に示す回路装置の動作説明図である。

【図1】



【図3】



- 1…1段目のインバータ
- 2…2段目のインバータ
- 3…入力線
- 4…出力線
- 5…寄生抵抗
- 6…寄生容量
- 31…電源電圧変動検出力線

12

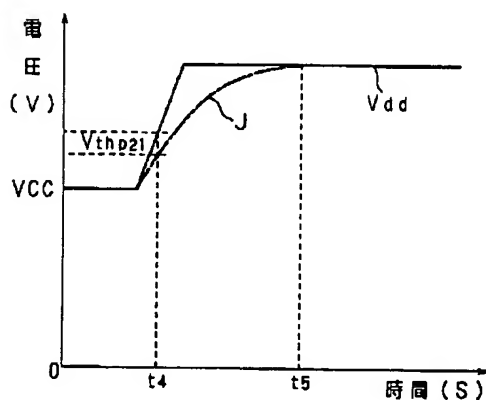
【図8】本発明の更に他の実施例を示す回路図である。

【図9】図8に示す装置の動作説明図である。

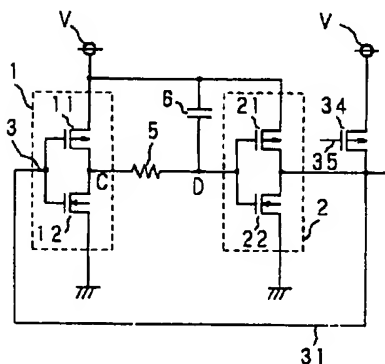
【符号の説明】

- 1 1段目のインバータ
- 2 2段目のインバータ
- 3 入力線
- 4 出力線
- 5 寄生抵抗
- 6 寄生容量
- 11 pチャネルMOS トランジスタ
- 12 nチャネルMOS トランジスタ
- 21 pチャネルMOS トランジスタ
- 22 nチャネルMOS トランジスタ
- 31 電源電圧変動検出力線

【図2】

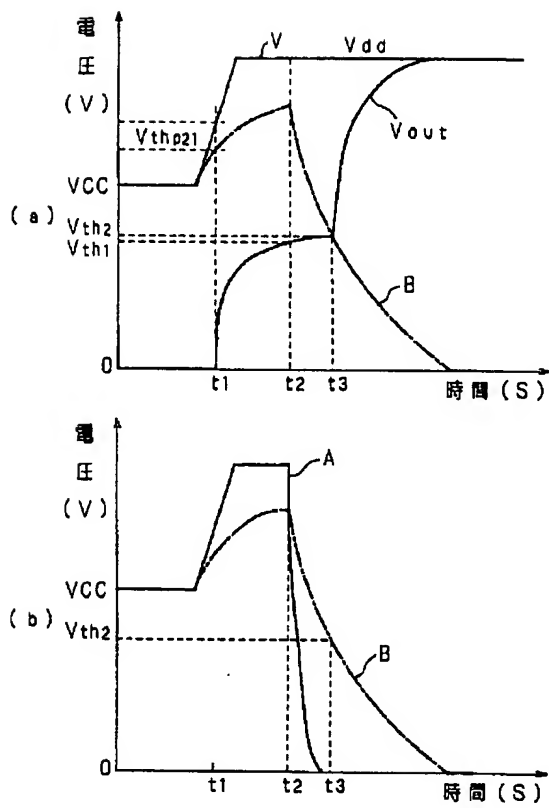


【図5】

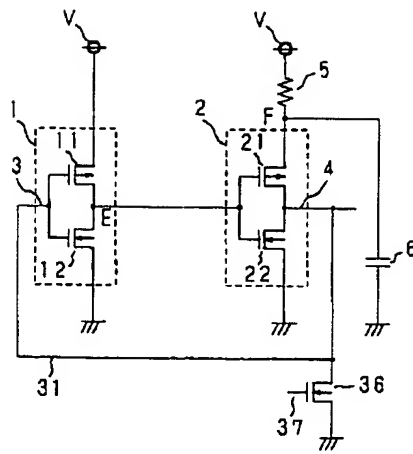


- 34…pチャネルMOSトランジスタ

【図4】

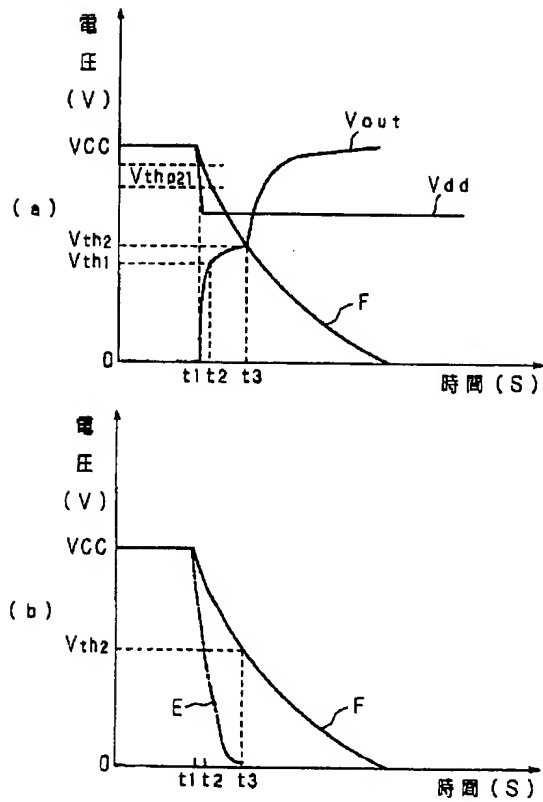


【図6】

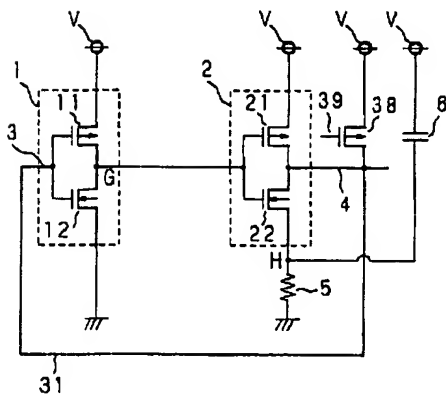


36…nチャネルMOSトランジスタ

【図7】

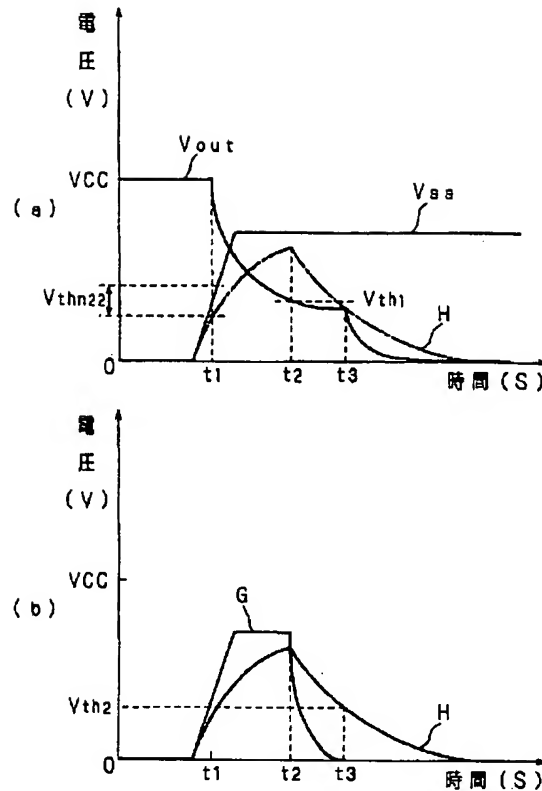


【図8】



38…pチャネルMOSトランジスタ

【図9】



【手続補正書】

【提出日】平成5年10月29日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正内容】

【請求項1】 一端が正電源電圧に、また他端が所定低電位に接続された第1、第2の入力反転回路における、前記第1の入力反転回路の出力端と第2の入力反転回路の入力端とをその間に積分遅延回路を介して接続し、前記第2の入力反転回路の出力端は第1の入力反転回路の入力端に接続し、前記正電源電圧と所定低電位との電位差が急瞬に増加したとき、記憶している初期値が反転し、正電源電圧と所定低電位との電位差が急瞬に増加したことを論理信号として出力するようにしたことを特徴とする半導体集積回路装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項2

【補正方法】変更

【補正内容】

【請求項2】 一端が正電源電圧に、また他端が所定低電位に接続された第1、第2の入力反転回路における、前記第1の入力反転回路の出力端と第2の入力反転回路の入力端を接続し、前記第2の入力反転回路の出力端は第1の入力反転回路の入力端と接続し、第2の入力反転回路の正電圧入力を積分遅延回路を介して正電源電圧へ接続し、正電源電圧の電圧が急瞬に降下したとき、記憶している初期値が反転し、正電源電圧が急瞬に降下したことを論理信号として出力するようにしたことを特徴とする半導体集積回路装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】請求項3

【補正方法】変更

【補正内容】

【請求項3】 一端が正電源電圧に、また他端が所定低電位に接続された第1、第2の入力反転回路における、前記第1の入力反転回路の出力端と第2の入力反転回路の入力端とを接続し、前記第2の入力反転回路の出力端

は第1の入力反転回路の入力端と接続し、第2の入力反転回路の低電位入力端を積分遅延回路を介して所定低電位へ接続し、前記低電位の電圧が急瞬に上昇したとき、記憶している初期値が反転し、前記低電位が急瞬に上昇したことを論理信号として出力するようにしたことを特徴とする半導体集積回路装置。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】このような半導体集積回路装置にあっては入力線3に、例えば論理信号である「0」レベルの信号を入力すると、1段目、2段目のインバータ1、2の作用で出力線4から出力される信号も同じ「0」レベルになる。しかしこのような動作は電源電位、接地電位が安定していることが前提であり、電源電位と接地電位との電位差が所定の範囲を越えて変動すると誤動作、暴走、或いはラッチアップを招くこととなる。例えば正電源Vの電圧を図2に示す V_{cc} から V_{dd} に上昇させると、寄生抵抗5と寄生容量6で寄生的に構成される積分遅延回路により2段目のインバータ2の入力端近傍のJ点の電位は一点鎖線で示す如くに変化し、この結果pチャネルMOSトランジスタ21の入力電圧 V_{in} が正電源Vの電圧 V_{dd} よりも低くなり、下記(1)式で示す如き状態が発生する。

$$V_{dd} > V_{in} \quad \dots (1)$$

但し、 V_{dd} ：正電源Vの電圧

V_{in} ：pチャネルMOSトランジスタ21のソース電圧

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】

【発明が解決しようとする課題】ところでこのような従来の半導体集積回路装置において、その電源電位の監視に用いているリセットIC等の電圧検出素子、又は同様の回路ではリセットICに入力される電圧値を検出するため、電源電圧が半導体回路装置の動作し得る電圧範囲内で緩やかに変動し、半導体集積回路装置が十分に動作し得る電圧であっても半導体集積回路装置の初期化が行なわれてしまうという問題があった。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】この発明の第1の目的は、正電源電圧と所定低電位との電位差の急瞬な変化を検出し、この検出信

号を論理信号として外部へ出力して必要な措置をとることを可能とする。またこの発明の第2の目的は、電源電圧と所定低電位との電位差の急瞬な変動を検出して自身の初期化を行い、暴走、誤動作を未然に防ぐことを可能とする。更にこの発明の第3の目的は、正電源電圧と所定低電位との電位差の急瞬な変化を検出することで、例えば自動的に内部電源の配線を遮断し、ラッチアップによる回路の破壊を未然に防ぐことを可能とする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】

【課題を解決するための手段】第1の発明に係る半導体集積回路装置は、一端が正電源電圧に、また他端が所定低電位に接続された第1、第2の入力反転回路における、前記第1の入力反転回路の出力端と第2の入力反転回路の入力端とをその間に積分遅延回路を介して接続し、前記第2の入力反転回路の出力端は第1の入力反転回路の入力端に接続し、前記正電源電圧と所定低電位との電位差が急瞬に増加したとき、記憶している初期値が反転し、正電源電圧と所定低電位との電位差が急瞬に増加したことを論理信号として出力するようにしたことを特徴とする。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】第2の発明に係る半導体集積回路装置は、一端が正電源電圧に、また他端が所定低電位に接続された第1、第2の入力反転回路における、前記第1の入力反転回路の出力端と第2の入力反転回路の入力端を接続し、前記第2の入力反転回路の出力端は第1の入力反転回路の入力端と接続し、第2の入力反転回路の正電源入力を入力を積分遅延回路を介して正電源へ接続し、正電源電圧の電圧が急瞬に低下したとき、記憶している初期値が反転し、正電源電圧が急瞬に低下したことを論理信号として出力するようにしたことを特徴とする。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】第3の発明に係る半導体集積回路装置は、一端が正電源電圧に、また他端が所定低電位に接続された第1、第2の入力反転回路における、前記第1の入力反転回路の出力端と第2の入力反転回路の入力端を接続し、前記第2の入力反転回路の出力端は第1の入力反転

回路の入力端と接続し、第2の入力反転回路の低電位入力端を積分遅延回路を介して所定低電位へ接続し、前記低電位の電圧が急瞬に上昇したとき、記憶している初期値が反転し、前記低電位が急瞬に上昇したことを論理信号として出力するようにしたことを特徴とする。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】第2の発明にあっては前記第1の発明の作用に加えて正電圧源の電位が急瞬に降下したとき、記憶している初期値が反転することとしているから正電圧源電圧と所定低電位との電位差が急瞬に変化したことを検出し、その検出結果により初期化を行うことで誤動作、暴走等を未然に防止することが可能となる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】第3の発明にあっては前記第1の発明の作用に加えて所定低電位の電圧が急瞬に上昇したとき、記憶している初期値が反転し、所定低電位の急瞬な上昇を論理信号として出力し、この論理信号を用いて誤動作、暴走等に対する必要な措置を採ることが可能となる。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】1段目のインバータ1を構成するpチャネルMOSトランジスタ11のゲート、nチャネルMOSトランジスタ12のゲートは夫々入力線3に接続され、一方2段目のインバータ2におけるpチャネルMOSトランジスタ21、nチャネルMOSトランジスタ22の各ゲートは途中に電源電圧の変動を検出させる回路中で、最も大きい遅延値になるよう意図的に付加した抵抗7、容量8にて構成される積分遅延回路を介在させて1段目のインバータ1の出力端であるpチャネルMOSトランジスタ11とnチャネルMOSトランジスタ12との接続点に接続され、また2段目のインバータ2の出力端であるpチャネルMOSトランジスタ21とnチャネルMOSトランジスタ22との接続点は出力線4に接続され、そして出力線4と前記入力線3とは電源電圧変動検出出力線31にて相互に接続されている。32は前記出力線4に設けたnチャネルMOSトランジスタである。nチャネルMOSトランジスタ32はそのゲートが初期化信号線33に、またドレインは出力線4及び電源電圧変動検出出力線31に夫々接続され、ソースは接地されている。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】初期化後に正電圧源Vに急瞬な電圧の立上がりが発生したとすると、インバータ1の出力電圧は正電圧源Vの電圧波形に追従するが、インバータ2の入力は、抵抗7と容量8とから構成される積分回路による遅延のため正電圧源Vの立上りの間、これよりも低い電圧で推移する。この時pチャネルMOSトランジスタ21のゲート入力電位 V_{in} が(1)式を満たし、pチャネルMOSトランジスタ21はオフ状態からオン状態に転じ、pチャネルMOSトランジスタ21とnチャネルMOSトランジスタ22が同時にオン状態となる期間 $t_1 \sim t_3$ が発生する。これによって(6)式で示される閾値を持つインバータ1は「1」レベルを入力されたことになり、図3におけるA点に「0」レベルを出力する。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】他の構成は図3に示す実施例1のそれと実質的に同じであり、対応する部位には同じ番号を付してある。上記した如き初期化が行われた後に、接地電位に急瞬な電圧の立下がりが発生したとすると、インバータ1の出力電圧(C点の電圧)は接地電位の電圧波形に追従するが、インバータ2の入力電圧は電源電圧の変動を検出させる回路中で、最も大きい遅延値になるよう意図的に付加した抵抗7と容量8とから構成される積分遅延回路のため、接地電位の立下がりの間、これよりも高い電圧で推移し、この時、nチャネルMOSトランジスタ22のゲート入力電位が(9)、(10)式を満たす場合が生じる。

$$|V_{in} - V_{ss}| > V_{thn22} \quad \dots (9)$$

$$|V_{dd} - V_{in}| > V_{dd} - |V_{thp21}| \quad \dots (10)$$

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】(実施例3)図6はこの発明の更に他の実施例を示す回路図、図7は動作状態を示す説明図である。この実施例3にあってはインバータ1の出力端とインバータ2の入力端とを接続し、またインバータ2の出力端とインバータ1の入力端とを電源電圧変動検出出力線31にて接続し、インバータ2を構成するpチャネルMOSトランジスタ21のソースを抵抗7を介して正電圧源Vに接続すると共に、容量8を介して接地電位に接続する。この抵抗7、容量8は電源電圧の変動を検出させる

回路中で、最も大きい遅延値になるよう意図的に付加したものであり、抵抗7、容量8で遅延回路を構成している。電源電圧変動検出力線31にはnチャネルMOS トランジスタ36のドレインを接続し、またソースは接地してある。なおゲートは初期化信号線37に接続されている。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正内容】

【0036】初期化後に正電圧源Vの電圧に V_{cc} から V_{dd} への急激な立下がりが発生したとすると、pチャネルMOS トランジスタ11のドレイン、即ちインバータ1の出力電圧とインバータ2の入力電圧（E点の電圧）は正電圧源Vの電圧波形に追従する。一方pチャネルMOS トランジスタ21のソース電圧は抵抗7と容量8とからなる積分遅延回路により正電圧源Vの電圧の立下がり過程（時間 t_1 の前後）でこれよりも高い電圧で推移し、この時pチャネルMOS トランジスタ21のゲート入力電位が、正電圧源Vを基準として(2)式及び(3)式に示す条件を満たすと、pチャネルMOS トランジスタ21はオフ状態からオン状態に転じ、pチャネルMOS トランジスタ21とnチャネルMOS トランジスタ22とが同時にオン状態となる期間（ $t_1 \sim t_2$ ）が発生する。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】（実施例4）図8は本発明の更に他の実施例を示す回路図、図9はこの実施例4の動作状態を示す説明図である。この実施例4にあってはインバータ1の出力端とインバータ2の入力端、インバータ2の出力端とインバータ1の入力端を接続し、インバータ2のnチャネルMOS トランジスタ22のソースは抵抗7を介して接地電位に接続すると共に、容量8を介して正電圧源Vに接続してある。この抵抗7、容量8は電源電圧の変動を検出させる回路中で、最も大きい遅延値になるよう意図的に付加したものであり、抵抗7、容量8で遅延回路を構成している。インバータ2の出力端に接続された出力線4にはpチャネルMOS トランジスタ38を介在させて正電圧源Vに接続してある。pチャネルMOS トランジスタ38はそのゲートを初期化信号線39に、またドレインを正電圧源Vに、更にソースを出力線4及び電源電圧変動検出力線31に接続してある。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正内容】

【0042】初期化後に接地電位が0から V_{ss} に急激に立上がりが発生したとすると、インバータ1の出力電圧とインバータ2の入力電圧（G点の電圧）は接地電位の電圧波形に追従する。一方nチャネルMOS トランジスタ22のソース電圧は、抵抗7と容量8とからなる積分遅延回路により接地電位の立上りの間これより低い電圧で推移する。この時、nチャネルMOS トランジスタ22のゲート入力電位が接地電位を基準として(9)式及び(10)式を満たす場合が生じ、nチャネルMOS トランジスタ22はオフ状態からオン状態に転じ、pチャネルMOS トランジスタ21とnチャネルMOS トランジスタ22が同時にオン状態となる期間（ $t_1 \sim t_3$ ）が発生する。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正内容】

【0044】このような電源電圧変動検出回路を用いて電源電圧変動による回路の暴走を防ぐ場合、意図的に付加した抵抗と容量とにより構成される積分遅延回路の遅延値を、当該半導体集積回路内で、論理回路間のアナログ遅延値を最も大きな値とすることで、電源電圧変動による暴走が発生するに先立ってこれを検出し、回路の初期化を行うことが可能となる。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正内容】

【0045】またこのような電源電圧変動検出回路に用いて電源電圧変動によるラッチアップのため回路が破壊されるのを防ぐ場合、意図的に付加した抵抗と容量とにより構成される積分遅延回路の遅延値を、当該半導体集積回路内で論理回路間のアナログ遅延値を最も大きな値とすることで、電源電圧変動による回路のラッチアップによる破壊が発生するに先立ってこれを検出し、回路内部の電源配線を遮断することが可能となる。更にこのような電源電圧変動検出回路を用いることで、電源電圧の急激な変動を当該半導体集積回路外部へ論理信号として出力させ、この論理信号を利用して必要な措置を取らせることも可能である。

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正内容】

【0046】このような電源電圧変動検出回路を複数と組み合わせ半導体集積回路に搭載することで、電源電圧の急激な変化を全て検出できることとなる。また複数の電圧源を持つ半導体集積回路の場合、正電圧源と負電

圧源間に上述した如き電源電圧変動検出回路を組合せて装備することで複数の電源電圧の急瞬な変動も検出できることとなる。

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正内容】

【0047】

【発明の効果】以上説明したように、第1、第2、第3の発明に係る半導体集積回路装置にあっては電源電圧の急瞬な変動を迅速に検出することができ、電源電圧の変動による回路の暴走を未然に防止し得る。また第1～3の発明にあっては電源電圧の急瞬な変動を検出し、電源電圧の変動によるラッチアップから回路の破壊を未然に防止し得る。更に第1～3の発明にあっては電源電圧の急瞬な変動を検出し、回路の外部へ電源電圧の変動があったことを論理記号として外部回路へ出力させ、これを利用して必要な措置をとることが可能となる。

【手続補正23】

【補正対象書類名】明細書

【補正対象項目名】符号の説明

【補正方法】変更

【補正内容】

【符号の説明】

- 1 1段目のインバータ
- 2 2段目のインバータ
- 3 入力線
- 4 出力線
- 5 寄生抵抗
- 6 寄生容量
- 7 抵抗
- 8 容量
- 11 pチャネルMOS トランジスタ
- 12 nチャネルMOS トランジスタ
- 21 pチャネルMOS トランジスタ
- 22 nチャネルMOS トランジスタ
- 31 電源電圧変動検出出力線

【手続補正24】

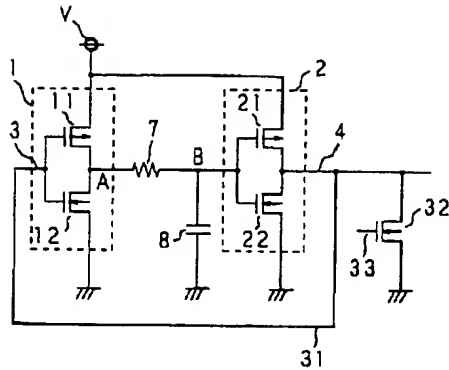
【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】



- 1…1段目のインバータ
- 2…2段目のインバータ
- 3…入力線
- 4…出力線
- 7…抵抗
- 8…容量
- 31…電源電圧変動検出出力線

【手続補正25】

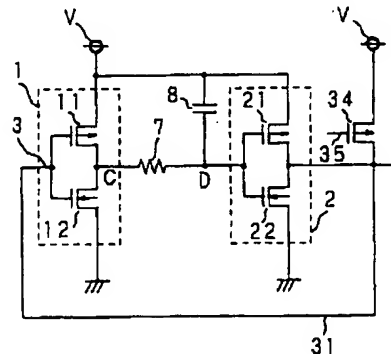
【補正対象書類名】図面

【補正対象項目名】図5

【補正方法】変更

【補正内容】

【図5】



- 34…pチャネルMOSトランジスタ

【手続補正26】

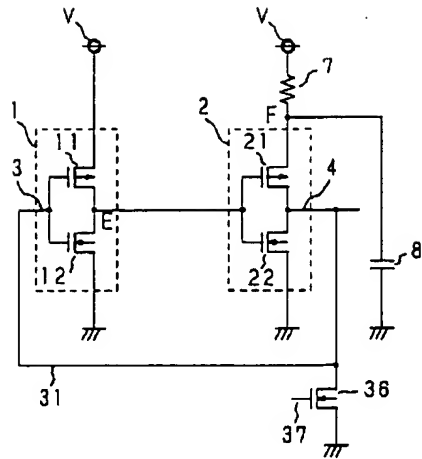
【補正対象書類名】図面

【補正対象項目名】図6

【補正方法】変更

【補正内容】

【図6】



36… nチャネルMOSトランジスタ

【手続補正27】

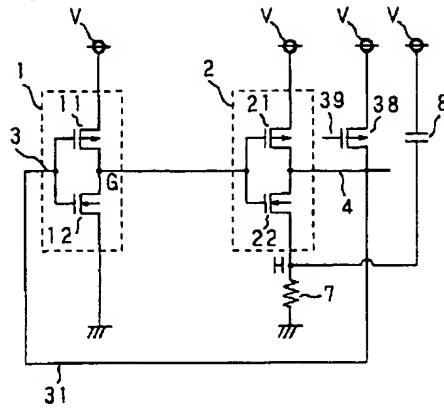
【補正対象書類名】 図面

【補正対象項目名】図 8

【補正方法】変更

【補正内容】

【図8】



38... 0チャネルMOSトランジスタ